



JAPANESE PATENT OFFICE

# PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07295521

(43)Date of publication of application: 10.11.1995

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number: 06107599

(71)Applicant:

SONY CORP

(22)Date of filing: 22.04.1994

(72)Inventor:

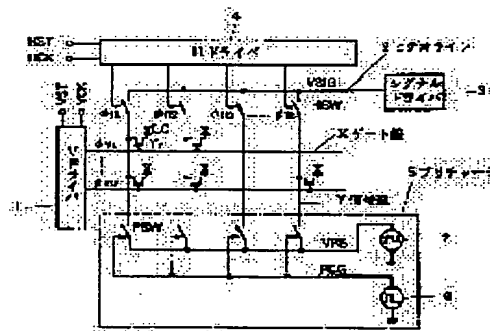
MAEKAWA TOSHIICHI  
UCHINO KATSUhide

(54) ACTIVE MATRIX DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To suppress potential fluctuations of a video line accompanying an increase in sampling rate.

CONSTITUTION: The active matrix display device is equipped with row gate lines X, column signal lines Y, and liquid crystal pixels LC arranged at their intersection parts in a matrix. A V-driver 1 scans the respective gate lines X in sequence and selects liquid crystal pixels LC of one line at each horizontal period. An H-driver 4 samples a video signal VSIG of each signal line Y and writes the video signal VSIG in the liquid crystal pixels LC of one line selected in each horizontal period. A precharging means 5 supplies a specific precharge signal VPS to the respective signal lines Y right before writing the video signal to the liquid crystal pixels LC of the one line. Consequently, the charging/ discharging capacity of each signal line Y is reducible when the video signal VSIG is sampled, and the potential fluctuations of the video line 2 can be suppressed.



## LEGAL STATUS

[Date of request for examination]

27.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application  
No. 295521/1995 (Tokukaihei 7-295521)

A. Relevance of the Above-identified Document

This publication discloses prior art as technological background of the present invention.

B. Translation of the Relevant Passages of the Document

[CONSTITUTION] ... Immediately before writing a video signal VSIG into a row of liquid crystal pixels LC, precharging means 5 supplies respective signal lines Y with a predetermined precharge signal VPS.

[CLAIMS]

[CLAIM 1] An active matrix display device, ..., comprising precharging means for supplying respective signal lines with a predetermined precharge signal immediately before writing a video signal into a row of pixels.

[CLAIM 4] the active matrix display device as set forth in claim 1, wherein said precharging means ... is made up of ..., and control means for simultaneously opening or closing respective switching elements and applying the precharge signal to the respective signal lines.

[CLAIM 5] The active matrix display device as set forth in claim 1, wherein said precharging means is ...

made up of ..., and control means for simultaneously opening or closing respective switching elements immediately before the writing, and applying a precharge signal which is included in a portion of the video signal to the respective signal lines.

[CLAIM 6] A driving method of an active matrix display device ..., comprising the step of performing ... a precharge for simultaneously supplying respective signal lines with a predetermined precharge signal immediately before writing a video signal into a row of pixels.



H SWに供給されるサンプリングバルスは、検測トランスラタ(TFT)で構成されたソフトウェアコンポーネントで作成されて作成される。TFTは単結晶シリコンで作られた通常のトランジスタに比べ、その回路が低く、また、食物測定装置のばらつきも大きい。この回路が作成されるサンプリングバルスを精密に制御する非線形である。又、サンプリングバルス幅のばらつきを抑えて、H SWの中心値にもある程度のばらつきがある為、信号線の充満電圧に変動を与え、この為、ビデオラインの感度位に悪影響が生じ、これが突発性信号によって発生した状態に見え、為表示画像の品位を著しく損なう。

**[0005]**

【問題を解決するための手段】上述した従来の技術の問題に鑑み、本発明は映像信号のサンプリングレートの高速度に伴なうビデオラインの電位揺れを抑制する事を目的とした。かかる目的を達成する為になる手段を講じようとする。即ち、本発明にかかわるアナログ・デジタル変換装置は基本的な構成として、行次のゲート線と、列状の信号線と、両者の交差部に配された行列の画素とを備えられている。又、各ゲート線を取次建造し、水平同期毎に行分の画素を選択する垂直走査回路と、各画素に対して映像信号をサンプリングし、一水平同期内に選択された一行分の画素に映像信号を書き込む水平走査回路とを有する。本発明の特徴事項として、プリチャージ手段を備えており一行分の画素に対して映像信号を書き込む直前に各画素に所定のプリチャージ信号を供給する。〔０００６〕前記プリチャージ手段は、白レベルと黒レベルの間で変化する映像信号に対して既知レベルを有するプリチャージ信号を供給する。交差電圧駆動に反する場合には、前記プリチャージ手段は、一水平同期毎に反する映像信号に対して極性を一定とする為、同じく一水平同期毎に反転するプリチャージ信号を供給する。

期間毎に反転するフリチャージ番号を供給する。

【0000】本発明の一態様によれば、前記フリッチャー・ジ信号は水平走査回路と別体に設けられており、各信号線の増幅に接続した複数のスイッチング素子と、各スイッチング素子を一斉に開閉してフリッチャー・ジ信号を各信号線に印加する制御手段とを有する。本発明の他の態様によれば、前記フリッチャー・ジ信号は水平走査回路と一体に設けられており、各信号線の増幅に接続した複数のスイッチング素子と、書き込み時各スイッチング素子を即次開閉して対応する直前各スイッチング素を一斉に開閉して映像信号の一部に含まれるフリッチャー・ジ信号を各信号線に印加する制御手段とを有する。

【0008】本発明はフクチャイアトリックス表示装置の駆動方法を包合している。本駆動方法では、各ゲート線を順次走査して一水平期間毎に一行分の画素を選択する垂直走査と、各信号線に対して映像信号を順次サンプリングし一水平期間内に選択された一行分の画素に映像信号を書き込む水平走査と、一行分の画素に対して映像信

号を置き込む直前各回号線に所定のブリチャージ番号を  
一斉に供給するブリチャージを行なう。

**[8000]**

【作用】本発明によれば、表示動作に影響を与えないタイミングで、全信号線を映像信号に近い電位まで予めプリチャージしておく。これにより、映像線信号が各信号線にサンプリಂಗされた時の充放電量を低減化し、ビデオラインの電位割れを抑制する。

**100101**

【実施例】以下図面を参照して本発明の明らかなる実施例を詳細に説明する。図 1 は本発明を示す典型的な回路図である。図 1 は表示装置の第 1 実施例に示す典型的な回路図である。図示する様に、本アプライメント・リクス表示装置は、行状に配列したゲート線 X と列状に配列した信号線 Y とを備えている。又、ゲート線 X と信号線 Y の交差点には、液晶画素 LC が行状に配列されている。本実施例の、アプライメント・リクス表示装置は液晶画素を備えているが、他の電気光学物質がなる画素であっても良い事は勿論である。液晶画素 LC は薄膜トランジスタ TFT により駆動される。薄膜トランジスタ TFT のソース電極は対応する信号線 Y に接続され、ゲート電極は対応するゲート線 X に接続され、ドレイン電極は対応する液晶画素 LC に接続されている。

【0011】各グループノードXにはVドライバIが接続されており、垂直走査回路を構成する。このVドライバIは所定のクロック信号VCに依って垂直スタートパルスVSTを順次転送し、各グループノードXに対して選択パルスφ<sub>S</sub>とφ<sub>T</sub>を供給する。これにより、各グループノードXは、φ<sub>S</sub>とφ<sub>T</sub>の相違に基づいて、一次水平期間中に一行分の放電面画素L<sub>C</sub>を選択する。

【0011】一方、個々の信号線は対応する水平スウィッチング素子HSWを介してヒッチライン2に接続されている。このヒッチライン2にはシグナルドライバ4から映像信号VSI Gが供給される。又、Hドライバ4を備えており、各水平スウィッチング素子HSWの開始制御を行なう。即ち、Hドライバ4は特定のクロック信号HCKに同期して水平スタート・トリガHSTを順次低送し、サンプリング・パルスφin、φ位、φ位、…、φ位を出して水平スウィッチング素子HSWを制御する。このHドライバ4と水平スウィッチング素子HSWとにより水平走査回路が構成され、各画素値Vに対して映像信号VSI Gをサンプリングし、一水平期間内に選択した一行分の画素L Cに対して増減処理による増減・ランシズ・ゲートを介して映像信号VSI Gを書き込む。

【0013】本発明の特徴事項として、リチヤージ手段6を備えており、一行分の増減画素L Cに映像信号VSI Gを書き込む増減前・後画素Vに所定のリチヤージ信号VPSを供給し、映像信号VSI Gをサンプリングする際生じる各画素値Vの充満電流を低減した。本発明例では、このリチヤージ手段6は上述した水平走査

【0013】本発明の特徴事項として、リチャージング段を備えており、一行分の積戻回数以上に喚信回VSSIQを書き込む直前各信号線Vに所定のリチャージ信号VPPSを供給し、喚信回VSSIQをサンプリングする際生じる各信号線Vの充放電量を低減化する。本実施例では、このリチャージング段には上述した水平検査

同様に別枠に設けられており、各局の機種の両側に搭載した4機のハイタッチング素子 P S W と、各5インチ素子 P S W の素子を一対に接続してブリチヤージン構成されている。本装置例ではこの制御手段6とは制御回路 P C Q を出力する。なお、ブリチヤージン素子 P S はデジタルドライバノリチヤージン素子 P S は白レベルと黒レベルの間で変化する限域信号 V S I G に対して反レベルを有している。本装置例では本素子 P S はブリチヤージン H S W の共通のスイッチング素子 P S W の両端に設けられているが、本装置例はこれに限られるものではなく H S W と同じく他に P S W を設けても良い。

【0011】次に図2のタイミングチャートを参照して、図1に示したプロチャイブトリス変換装置の動作を詳細に説明する。プロチャイブに示される垂直クロック信号VCLKは一水平期間(1H)に相当するクロックを有する。又、制御手段6から出される制御信号PCGは例えば水平プロチャイブ期間中の水平非有効期間内に出される。この制御信号PCGが水平有効期間内に出てくると、被画素面にプロチャイブ信号VPAが書き込まれる傾けがある。又、図1に示したプロチャイブから順次出力される選択信号SELがオナコラツテ、且つその期間に制御信号PCGが出力されると、同時にプロチャイブ信号VPSが被画素面に書き込まれる傾けがある為これを防ぐ必要がある。次にHライン4に供給される水平スカーブ信号HSTは一水平期間毎選択信号PCGの直後に出力され、映像信号VSIのサンプリングを開始する。このサンプリングはHライン4に供給される水平プロチャイブ信号HCLKに同期して順次行なわれる。

【0016】一方、シグナルパルス13からビツオウイフ2を介して供給される映像信号VSI Gは一水平期間毎に極性が反転しており、交差線画が行なわれる。これらにおいて、信号源7から供給されるリチヤージ信号VPSにも一水平期間毎に反転し、映像信号VSI Gに対して極性を一致させている。このリチヤージ信号VPSは映像信号VSI Gの中心電位に対して $V_p$ の電位レベルを有し、丁度白レベルと黒レベルの中間に位置する反レベルを表わしている。この様に、本実施例ではリチヤージ信号VPSの電位レベルは基本的に視角特性上最もユニフォーム・メディアの増減をやすい反レベルに設定されている。図2のタイムリグチャータートの最後の波形は、個々の信号線Vに印加される電位V<sub>V</sub>の変化を表わしている。一水平期間の最初に黒画信号PC Gが出力される通加のスイッチング素子P<sub>SW</sub>が導通すると、全信号線Vにリチヤージ信号VPSが印加され、信号成分に対して充放電が行なわれる。このリチヤージ信号VPSの印加により、各信号線の電位V<sub>V</sub>は $V_p$ のレベルになる。この後、各信号線Vに対して映像の映像信号VSI

0がオン・オフにシフトされ、その電位はV<sub>DS1</sub>に近づいて電位レベルを込みが実行される。書き込みに伴う電位変化ΔV<sub>1</sub>はV<sub>DS1</sub> - V<sub>p</sub>に低減されておき、充電電流が少なくなくなる。これにより、ビデオライン2の電位レベルを制御でき、エレクトロニクスは大きく向上する。なお、グリッチ・アジャスト手段6の主要構成要素となるスイッチング素子PSSWは例えばNMOS、PMOS、CMOS等によって構成する事ができる。以上の様に本発明は、表示画面に影響を与えない水平同期ライン間のタイムラグで、全画素ノイズを中間レベルの電位まで予めグリッチ・アジャストしておき、実際の映像信号V<sub>SI</sub>がオン・オフにシフトされた時発生する信号線の充電電流を低減化し、ビデオライン2の電位レベルを抑える事にした。換言すると、プログラム期間に各信号線の充電を全面的にスリッチング素子PSSWを用いて殆ど殆ど止まり、実際の映像信号V<sub>SI</sub>により充電電流はグリッチ・アジャストV<sub>PS</sub>の電位レベルと映像信号V<sub>SI</sub>の電位レベルの差のみで発生させる構成を採用している。

【0016】図3は本発明にかかるアブテクトリアス表示装置の第2実施例を示す模式的な回路図である。ゲート素子と信号線Yの各交差点には液晶配素LCとこれを駆動する薄膜トランジスタTとが設けられている。各ゲート素子にはV<sub>1</sub>ドライバ11が接続されており、垂直走査回路を構成する。

【0011】一方各信号線Vはトランスミッショナルゲート1つあるいは水平スウィッチング素子HWSWを介してビデオライン12に接続されている。このビデオライン12には映像信号V<sub>sig</sub>が供給される。この映像信号V<sub>sig</sub>は前記垂直同期でフリッチャーリジ直を一部含む線に加工されている。各水平スウィッチング素子HWSWには5個のインバータの組み合わさっている。各逆相回路DLYを介してNANDゲートが接続されている。各NANDゲートの一方の入力端子は、インバータIVTを介してHジグザグ13の各段から出される信号Aが印加される。NANDゲートの他方の入力端子にはインバータIVTを介してフランチング信号RQが印加される。以上に説明したHジグザグ13、NANDゲート、逆相回路DLY、水平スウィッチング素子HWSW等て水平走査回路が構成される。

【0018】本実施例では、ブリチャージ手段が水平走査回路と一体に設けられており、各信号線Vの端部に接続した水平スイッチング素子HSWとを用いて、NAND型ANDゲートを制御手段と共用し、書き込み時各素子スイッチング素子HSWを逐次開閉して対応する信号線Vに、送信信号Vsigをパルス化して出力する一方、書き込み直前各スイッチング素子HSWを一齐に開閉して読取信号Vsigの一部に含まれるブリチャージ信号を各信号線Vに印加する。

【0019】図3に示したアクティクス表示装置の動作説明に入る前に、図4を参照して映像信号の前

処理を説明する。図示する様に元の映像信号VSI Gは一水平期間毎に突映像期間とランキング期間に分かれている。この映像信号VSI Gは反転信号F R Pに同期して一水平期間毎に極性反転している。かかる映像信号VSI Gをランキング信号P R Gに同期して処理し、ランキング期間内に所定の電位レベルV p1、V p2を有するフリチャージ信号を挿入している。この様に合成された映像信号V s1 gを、図4のタイムミングチャートの最下段に示す。

【0020】図6を参照して映像信号の前処理を行なう回路構成の一例を説明する。図示する様に、この回路は低分割部21を備えており、電源電圧V d d -V s gを低分割して2種類の電圧レベルV p1、V p2を作り出している。一方の電圧レベルV p1はアナログスイッチ22のH入力に供給され、他方の電圧レベルV p2はL入力に供給される。このアナログスイッチ22は反転信号F R Pをセレクト入力として、一水平期間毎交互にV p1、V p2を選択して出力する。この様に選択されたV p1、V p2は次のアナログスイッチ23の一方の入力に供給される。このアナログスイッチ23の他方の入力には元の映像信号VSI Gが供給される。アナログスイッチ23はランキング信号P R Gをセレクト入力として元の映像信号VSI Gのランキング期間にV p1、V p2を一水平期間毎交互に挿入し、合成された映像信号V s1 gを出力する。

【0021】最後に図6を参照して、図3に示したアナログマトリクス表示装置の動作を詳細に説明する。図示する様に、合成された映像信号V s1 gはランキング期間に電圧レベルV p1、V p2を一水平期間毎交互に有しており、フリチャージ信号を含んだ波形となっている。

【0022】図3に示したHシフトレジスタ13はインバータ1 V Tを介して各段毎にサンプリングパルスA1、A2、A3、...、ANを出力する。又、各段毎に設けられたNANDゲートはこのサンプリングパルスとランキング信号P R Gに基づいて、ドライバパルスD1、D2、D3、...、DNを作成する。このドライバパルスは同じく各段毎に設けられた遅延回路D L Yを介して対応するスイッチング素子H S Wに供給されこれを開閉駆動する。

【0023】図6のタイムミングチャートに示す様に、ドライバパルスD1、D2、D3、...、DNはランキング期間に同期した先頭パルスを有している。これにより各水平スイッチング素子H S Wが一斉に開閉され、合成映像信号V s1 gに含まれたフリチャージ信号の電位レベルV p2又はV p1が各信号ラインに印刷される。従って、各信号ラインの電位V Y1、V Y2、...、V YNは一且V p2のレベルに充電される。なお、次の水平期間の先頭では反対極性の電位レベルV p1に充電される。このランキング期間が経過した後、各ドライバパルスD

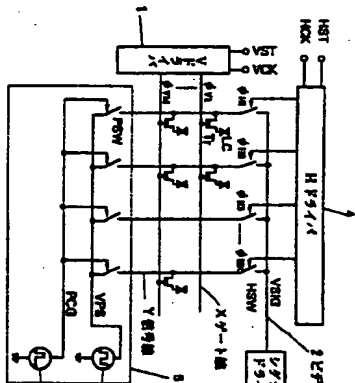
1、D2、D3、...、DNは再び順次H S Wを開閉制御し、実際の映像信号をサンプリングする。この様にランキング期間で全てのH S Wは一旦導通状態となり、フリチャージ信号レベル(V p1、V p2)を各信号線V Yに書き込んで、実際の映像信号が書き込まれる直前までホールドされる。つまり、ランキング期間内に各信号線V Yの充放電は殆ど済ませてしまい、実際の映像信号をサンプリングする時の充放電は、フリチャージレベルと実際の映像信号レベルの差ΔVのみとなる。これにより、ビデオラインの電位揺れ(ノイズ)が抑制され、縦断の固定パタンを除去する事が可能になる。

【0024】  
【発明の効果】以上説明した様に、本発明によれば、一行分の画素に対して映像信号を書き込む直前に、各信号線に所定のフリチャージ信号を供給する事により、映像信号をサンプリングする時の充放電は、フリチャージ信号をサンプリングする際の充放電を低減化している。これにより映像信号の充放電で発生するビデオラインのノイズが大幅に低減される為、縦断固定パタンを除去する効果が得られる。又、水平走査回路から出力されるサンプリングパルスの微少なばらつきを問題にする必要がなくなる。同様の理由により、水平走査回路の電源電圧を下げる事ができる為、消費電力の削減につながるという効果がある。特に、映像信号にフリチャージ信号を含ませ且つ水平走査回路のサンプリング動作を制御するだけでフリチャージが実現でき、回路設計上の負担をもちたさないという効果がある。

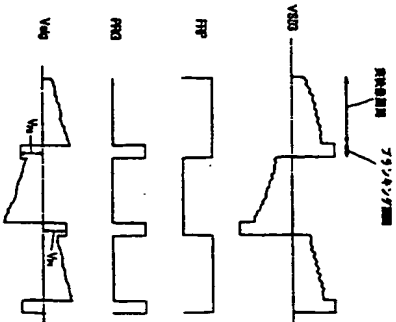
【図面の簡単な説明】  
【図1】本発明にかかるアナログマトリクス表示装置の第1実施例を示す回路図である。  
【図2】第1実施例の動作説明に供するタイムミングチャートである。  
【図3】本発明にかかるアナログマトリクス表示装置の第2実施例を示す回路図である。  
【図4】第2実施例の動作説明に供するタイムミングチャートである。  
【図5】第2実施例に用いられる映像信号の合成回路の一例を示すブロック図である。  
【図6】同じく第2実施例の動作説明に供するタイムミングチャートである。  
【図7】従来のアナログマトリクス表示装置の一例を示すブロック図である。  
【図8】従来のアナログマトリクス表示装置の問題点に供する波形図である。  
【符号の説明】  
1 Vドライバ  
2 ビデオライン  
3 シグナルドライバ  
4 Hドライバ

5 フリチャージ手段

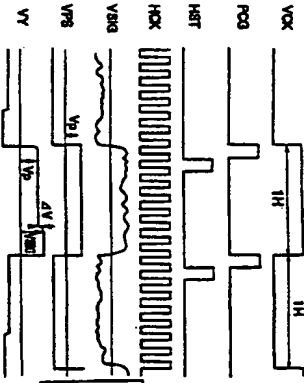
【図1】



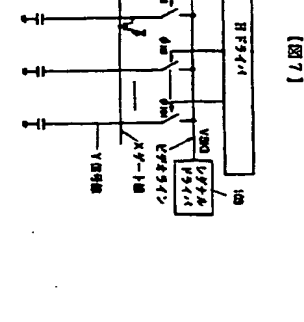
【図4】



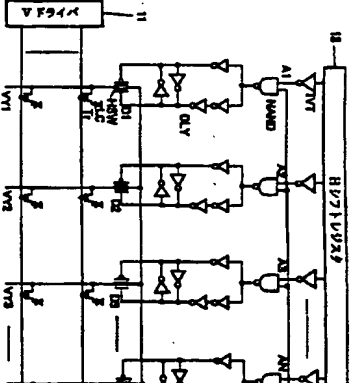
【図2】



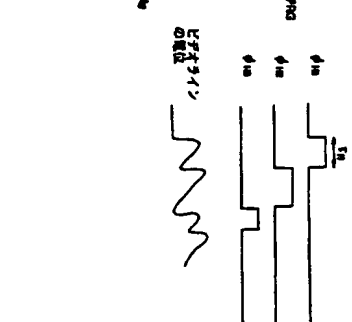
【図7】



【図3】



【図8】



**【例5】**

